

Mark5B 格式器及 10 G 网络传输系统 在 VLBI 中的应用*

于 威¹, 张秀忠¹, 朱人杰^{1,3}, 陈 岚², 吴亚军^{1,3}, 郭绍光¹

(1. 中国科学院上海天文台, 上海 200030; 2. 上海应用技术学院, 上海 200235;

3. 中国科学院射电天文重点实验室, 江苏 南京 210008)

摘要: 由于遥远的天体发出的无线电信号极其微弱, 信噪比极低, VLBI 系统要想得到较高的测量精度, 必须尽量加大测量带宽和提高采样位数, 但是这样会导致 VLBI 终端(比如数字基带转换器)产生的观测数据激增。传统的 VLBI 终端数据传输系统采用 VSI 接口, 数据最高传输速率限制在 2 Gbps, 且数据记录设备必须采用定制的 Mark5B 设备, 极不灵活, 因此已经不能适应现在 VLBI 系统的观测需求。为了提高数据传输速率, 增加数据记录设备的灵活性, 上海天文台新研制的基于多相滤波器组和快速傅里叶变换方式的数字基带转换器的数据传输系统采用了高速灵活的 10 G 网络接口。10 G 网络系统中数据传输采用报文交换方式, 因此数据到达接收端的时间不是精确可靠的, 这要求数据在进入 10 G 网络接口之前必须已经具有标准的 VLBI 数据格式, 所以在 10 G 网络前端设计了 Mark5B 格式器。详细介绍了基于现场可编程门阵列的 Mark5B 格式器及 10 G 网络传输系统的设计原理, 并在文章的最后通过三组实验验证了其功能的正确性和性能的稳定性的。

关键词: 多相滤波器组; 数字基带转换器; 10 G 网络; Mark5B 格式器

中图分类号: TN713 **文献标识码:** A **文章编号:** 1672-7673(2014)03-0287-12

数字基带转换器(Digital Base-Band Converter, DBBC)是甚长基线干涉测量技术(Very Long Baseline Interferometry, VLBI)接收系统中最重要的数字设备之一, 承担着频段选择、数据采集等任务^[1], 其把接收机接收的宽带中频信号数字化后分成多个通道并转换为基带信号, 以供相关处理机进行后续处理。国际上应用于 VLBI 系统的数字基带转换器主要有两种实现方式, 第一种为混频方式, 既数字化后的中频信号与不同频率的本振信号相乘, 然后通过特定带宽的低通滤波器滤出所需的基带信号, 最后再通过抽取器降低数据速率。第二种采用多相滤波器组的方式, 既数字化后的中频信号先做并行快速傅里叶变换(Fast Fourier Transform, FFT), 然后经过一个多相滤波器组, 并行输出多个通道的基带信号。第一种方式的优点是通道带宽可选, 应用起来比较灵活, 缺点是各个通道之间时延一致性较差, 这会限制 VLBI 系统最终的时延精度。第二种方式的优点是各个通道之间时延一致性较好, 缺点是各个通道带宽大小固定, 不够灵活。

上海天文台 VLBI 技术实验室 2007 年研制成功基于混频方式的数字基带转换器, 并命名为 CDAS (Chinese VLBI Data Acquisition System), CDAS 接口方式为通过 VSI(VLBI Standard Interface)接口连接到 Mark5B 记录设备^[2], 目前 CDAS 已经为嫦娥一号、嫦娥二号的 VLBI 轨道定位做出了巨大贡献。为了进一步降低各个通道之间的时延, 上海天文台 VLBI 技术实验室新研制了基于多相滤波器组的数字基带转换器(以下称其为 Polyphase DBBC)。

VSI 接口必须使用 Mark5B 设备作为数据记录终端, 且数据记录速率最高为 2 Gbps, 这大大限制了数字基带转换器的输出速率和接收设备的灵活性, 现在国际上新开发的数字基带转换器, 如美国的

* 基金项目: 国家自然科学基金(11103066)资助。

收稿日期: 2013-10-29; 修订日期: 2013-11-16

作者简介: 于 威, 男, 助理工程师. 研究方向: 深空探测, 射电天文, FPGA 数字电路. Email: yuwei001@mail.ustc.edu.cn

DBE(Digital Backend)^[3]和欧洲的 EVN DBBC^[4]都不再采用 VSI 接口,而是采用 10 G 网络输出,数据记录端采用具有 10 G 网络接口的 Mark5C 或 Mark6 设备,这样数字基带转换器的数据发送速率可以升级到 4 Gbps、8 Gbps 等更高的速率。DBE 主要与 Mark5C 相配合,使用的是 CX4 接口的 10 G 网络,这种接口使用较粗的铜缆作为传输介质,传输距离不如光纤远,使用起来也不如光纤方便,而且具有 CX4 接口的通用服务器较少,所以如果要使用通用服务器作为 DBE 的数据记录设备,必须要加同时具有 CX4 接口和 SFP+光纤接口的交换机进行转换。EVN DBBC 的 10 G 网络既支持 CX4 接口也支持 SFP+光纤接口,不过其 10 G 接口是在一块名叫 FILA10G 的单独 PCB 板上。由于前端接口不同 FILA10G 板不能与 Polyphase DBBC 相连,所以必须开发自己的 10 G 网络系统。传统的 VSI 总线包括 32 位数据线和 1 位时钟线,这样数据和时钟可以同步传输到 Mark5B 设备,然后由 Mark5B 设备内部的格式器为数据添加上时间码、同步字、校验位等帧头信息并打包成 Mark5B 数据格式。由于网络传输是基于报文交换的方式,因此报文从数字基带转换器到数据接收设备所经历的时间就变的非常不确定,这样在数据接收设备中为报文添加时间信息显然是不准确的,为了解决这个问题,使用 10 G 网络接口的数字基带转换器本身要具有格式器功能,其数据格式可以是 Mark5B 格式也可以是 VLBI 新的帧格式:VDIF(VLBI Data Interchange Format)格式。由于现在上海天文台开发的相关处理机还只能处理 Mark5B 帧格式,所以为 Polyphase DBBC 设计的数据格式为 Mark5B 格式。成品的 Polyphase DBBC 设备共有 16 个通道,每个通道的带宽为 32 MHz,数据输出接口在保留 VSI 总线的基础上主要采用 SFP+光纤接口的 10 G 网络。

1 总体设计

Polyphase DBBC 数据流程框图如图 1。其数据处理模块通过一系列复杂的数字信号处理算法把输入的 512 MHz 带宽的中频信号转变为基带信号,然后输出时钟频率为 64 MHz 的 32 bits 数据,32 bits 包含 16 个通道,每个通道位宽为 2 bits,带宽为 32 MHz。Mark5B 格式器把 Polyphase DBBC 数据处理模块输出的数据打包成标准的 Mark5B 帧格式,然后通过 10 G 网络模块发送出去。数据记录设备为一台高性能具有磁盘阵列的服务器,它通过 10 G 光纤网络把数据记录下来存成文件。Mark5B 格式器在为数据打格式的时候需要初始时间来与别的 DBBC 设备进行时间同步,因此设计了 1 G 网络模块把外部时间服务器的初始时间传送到 Mark5B 格式器中。本设计中 Polyphase DBBC 数据处理模块在前面板中实现,前面板的照片如图 2,图 1 虚线框中其余模块在后面板中实现,并且除了 10 G 网络模块和 1 G 网络模块中的物理层芯片外全部集成在一片现场可编程门阵列中,现场可编程门阵列的型号为 XILINX 公司的 Virtex6 XC6VLX75T,后面板的照片如图 3。前面板通过 CPCI 总线把数据传输到后面板。

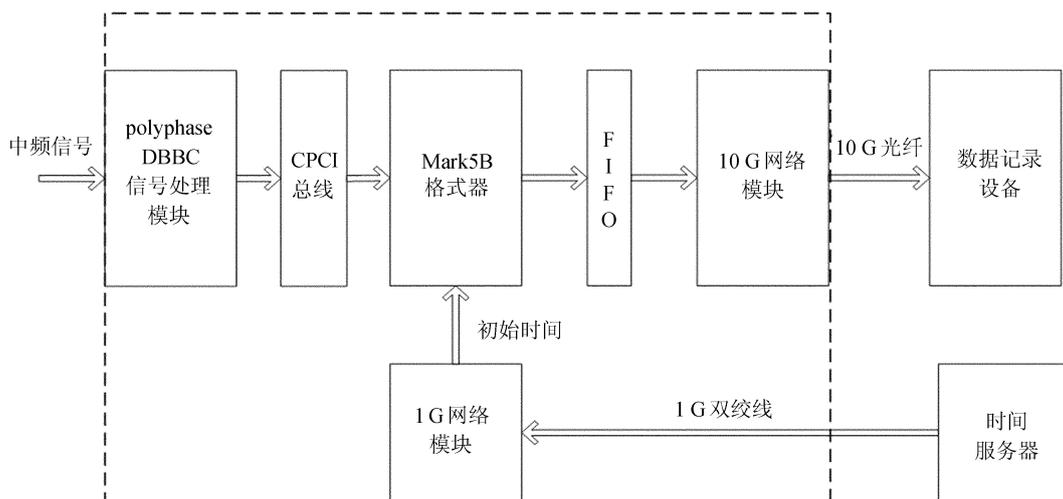


图 1 Polyphase DBBC 数据流程框图

Fig. 1 A flowchart of the Polyphase DBBC

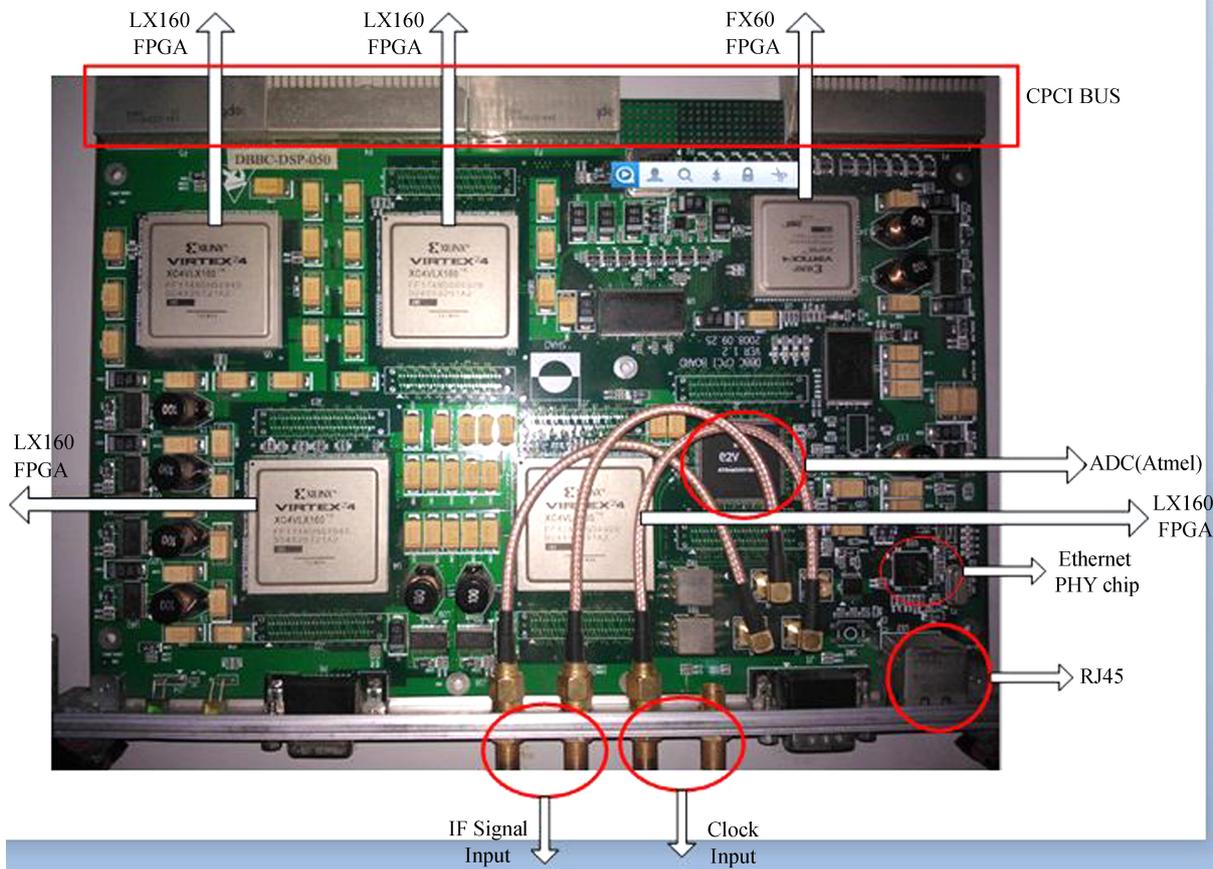


图 2 前面板照片

Fig. 2 A picture of the front of the PCB board

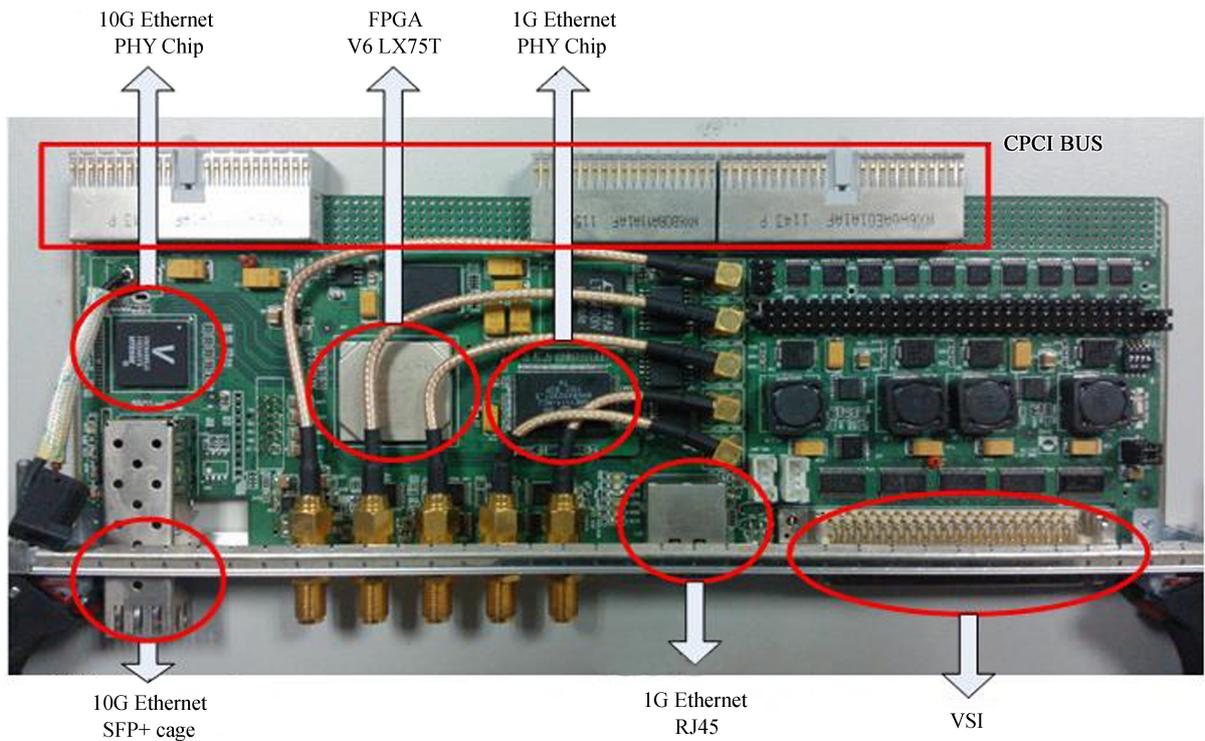


图 3 后面板照片

Fig. 3 A picture of the back of the PCB board

2 Mark5B 格式器的设计

2.1 Mark5B 帧格式

Mark5B 帧格式包括 4 个 32 位的帧头和紧接着 2500 个 32 位的数据队列。帧头格式如图 4，包括以下信息：

字 0 为同步字“ABADDEED”。

字 1 中比特 31~16 为用户自定义内容(比如，台站 ID 号)；比特 15 是测试向量标志；比特 14~0 是每一秒内的帧序号(当整数秒时刻到来时，帧序号从零开始)。

字 2~3 为 BCD 格式的时间码和 16 比特循环冗余校验码^[5]。



图 4 Mark5B 帧头

Fig. 4 The header of the Mark5B frame format

表 1 至表 6 分别为当系统记录的有效采样位数为 1、2、4、8、16 和 32 时每一个 32 位数据队列的格式，方格代表一次采样得到的数据位数，数字表示采样顺序。可以看到各次采样值按从低位到高位顺序排列。帧头中记录的时间是此帧第 1 个数据字中第 1 个采样值被采样的时刻。

表 1 1 比特流的数据字格式

Table 1 The data string format in a 1-bit stream

| | | |
|-------|---|------|
| 比特 31 | | 比特 0 |
| 31 | 0 | |

表 2 2 比特流的数据字格式

Table 2 The data string format in a 2-bit stream

| | | | | | | | | | | | | | | | |
|-------|----|------|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 比特 31 | | 比特 0 | | | | | | | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

表 3 4 比特流的数据字格式

Table 3 The data string format in a 4-bit stream

| | | | | | | | |
|-------|---|------|---|---|---|---|---|
| 比特 31 | | 比特 0 | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

表 4 8 比特流的数据字格式

Table 4 The data string format in an 8-bit stream

| | | | |
|-------|---|------|---|
| 比特 31 | | 比特 0 | |
| 3 | 2 | 1 | 0 |

表 5 16 比特流的数据字格式

Table 5 The data string format in a 16-bit stream

| | | | |
|-------|---|---|------|
| 比特 31 | 1 | 0 | 比特 0 |
|-------|---|---|------|

表 6 32 比特流的数据字格式

Table 6 The data string format in a 32-bit stream

| | | |
|-------|---|------|
| 比特 31 | 0 | 比特 0 |
|-------|---|------|

2.2 Mark5B 格式器的设计

Mark5B 格式器的数据流程框图如图 5。由于 Mark5B 帧格式的帧头是非替代的, 既在连续的数据流中每隔一定的时间间隔插入一个帧头, 所以 Mark5B 格式器模块的输出时钟一定要比输入时钟频率高。本设计中 Mark5B 格式器后面连接着系统时钟为 156.25 MHz 的 10 G 网络模块, 因此为了方便时钟同步, 把 Mark5B 格式器的输出时钟也定为 156.25 MHz。从图 5 可以看出此模块虚线左边时钟为 64 MHz, 虚线右边时钟为 156.25 MHz 时钟, 其中 64 MHz 时钟为 Polyphase DBBC 信号处理模块输出的时钟。图中 cpcidata[31:0] 为 Polyphase DBBC 信号处理模块输出的 32 位数据, 由于 10 G 网络的数据传输速率较高, 本设计没有添加“比特流屏蔽字”功能(“比特流屏蔽字”主要是为了降低数据输出速率)。

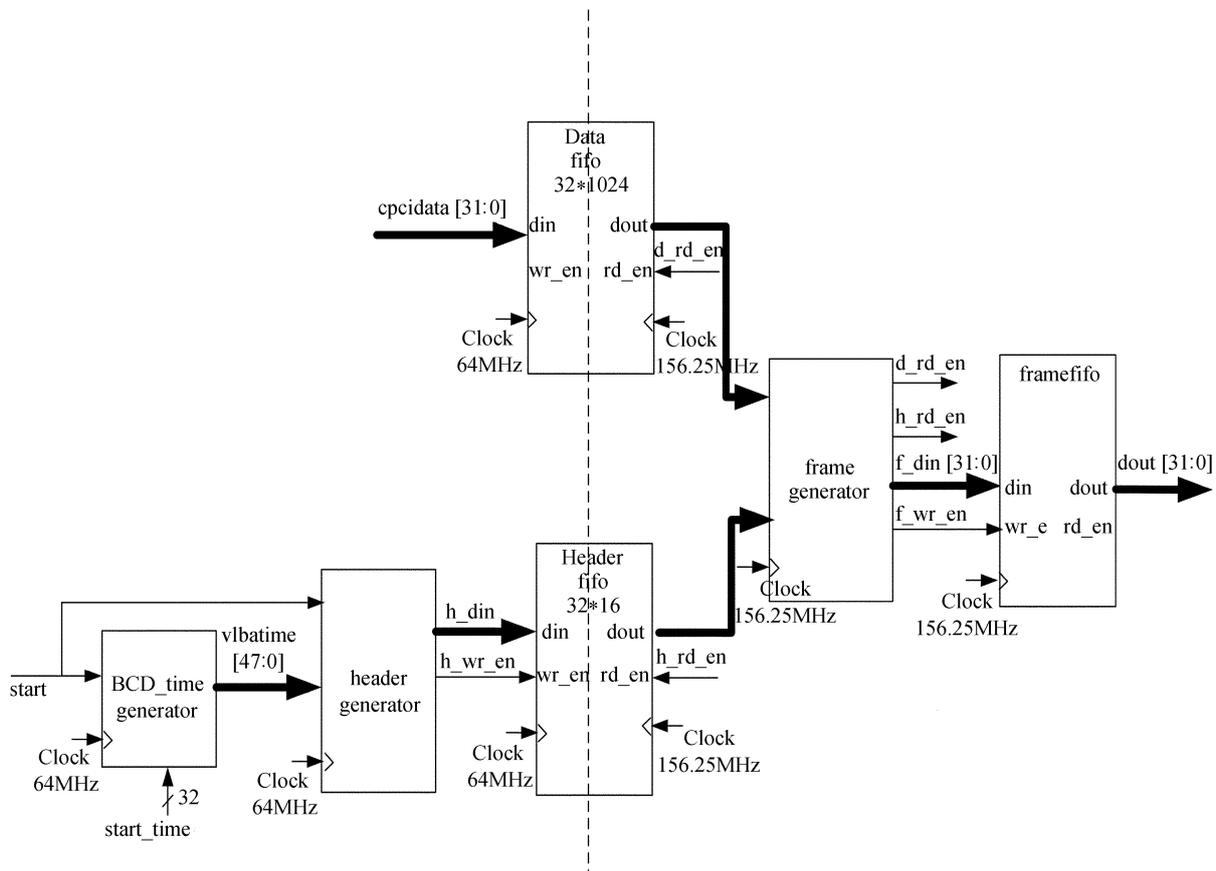


图 5 Mark5B 格式器流程框图

Fig. 5 The flowchart of the Mark5B formatter

cpcidata[31:0] 数据首先进入数据缓存器(图 5 Data fifo)中缓存起来, 然后被帧成型模块(图 5 frame generator)在适当的时候输出到帧缓存器(图 5 framefifo)中。时间产生模块(图 5 BCD_time

generator)根据初始时间信号(图 5 start_time)、秒信号(图 5 ppsin)以及 64 MHz 时钟,通过分频的方式生成 BCD 码格式的时间(图 5 vlbtime[47:0])供帧头生成模块(图 5 header generator)使用。帧头生成模块以起始信号(图 5 start)的高电平为起始时刻,每隔 2 500 个 64 MHz 时钟生成一个帧头,并存入帧头缓存器(图 5 Header fifo)中,每个帧头为 4 个 32 位的字,包括同步字、秒内帧序号、VLBA 时间和 CRC 校验码等。帧成型模块产生完整的 Mark5B 数据帧,其内部包括一个多路选择器,每当帧头缓存器中有数据时,多路选择器就把其中的 4 个数据读出,写入帧缓存器中,然后切换到数据缓存器,从中读取 2 500 个数据并存入帧缓存器中,此后多路选择器再次切换回帧头缓存器等待读取 4 个字的帧头,如此循环进行下去^[6]。帧缓存器模块中存入的数据是完整的 Mark5B 帧格式的数据,接下来只需要把其中的数据按顺序输出到 10 G 网络模块即可。

3 10 G 网络传输系统的设计

本文设计的 10 G 网络传输系统分为两大部分:数据发送端和数据接收端,数据发送端即为图 1 中 10 G 网络模块,这部分除物理层芯片外,全部用现场可编程门阵列硬件实现。数据接收端是运行在图 1 中数据记录设备上的软件程序。

3.1 数据发送端的设计

图 6 为 10 G 网络数据发送模块的结构框图。该模块主要功能是把 Mark5B 数据帧(以下称其为原始数据)打包成 UDP 网络数据包发送出去。每个 UDP 网络数据包包含 1 416 个字节的原始数据,而每个 Mark5B 数据帧为 10 016 个字节(即上文提到的 4 个 32 位的帧头和紧接着的 2 500 个 32 位的数据队列,总共 10 016 个字节),因此 UDP 网络数据包和 Mark5B 数据帧没有对应关系。协议封装模块把原始数据按照 UDP 协议、IP 协议、以太网 MAC 层协议等一层层加上头部和尾部,然后发送到 XAUI 模块,XAUI 是一个接口扩展器,可用于把以太网 MAC 层与物理层相连^[7],它扩展的接口是 XGMII(与介质无关的万兆接口)。图中 xgmii_txd、xgmii_txc、xgmii_rxd、xgmii_rxc 四路信号即为 XGMII 接口。其

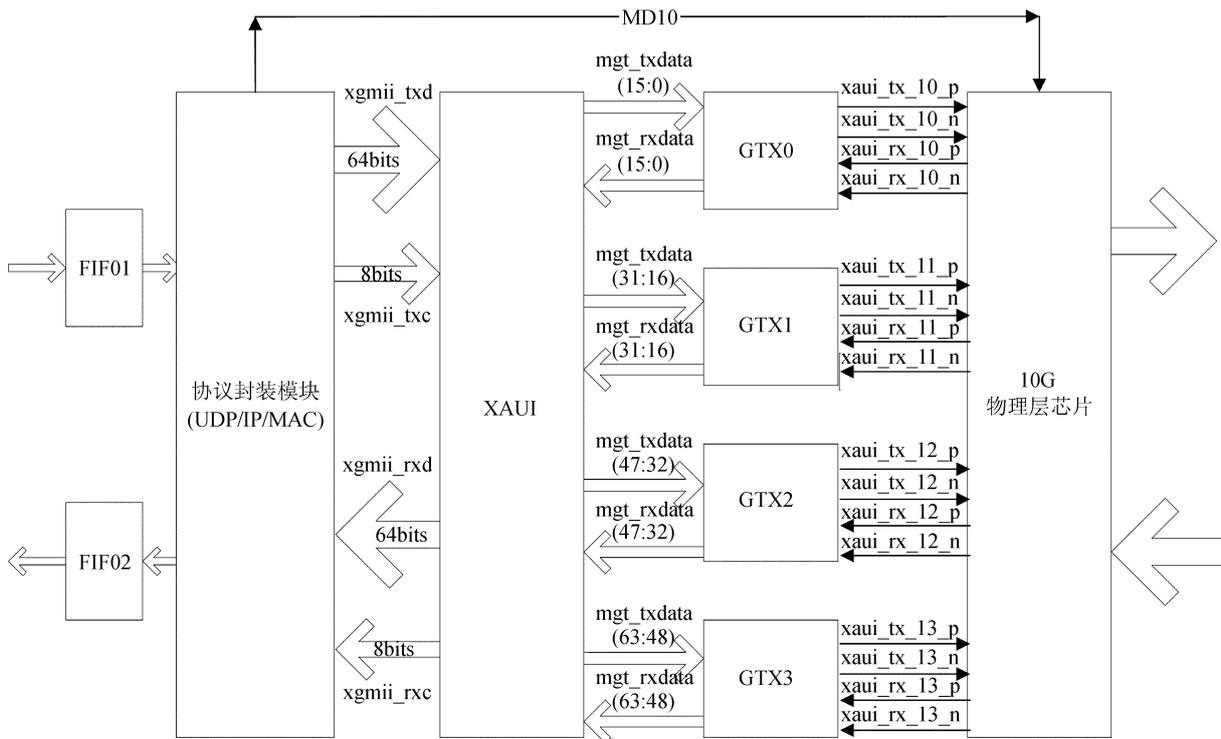


图 6 10 G 网络数据发送模块框图

Fig. 6 The block diagram of the 10G network transmission module

中 $xgmii_txd$ 为 64 位的数据发送信号, $xgmii_txc$ 为 8 位的控制信息发送信号, $xgmii_rx$ 为 64 位的数据接收信号, $xgmii_rxc$ 为 8 位的控制信息接收信号。由于本设计中只用此模块发送数据, 因此 $xgmii_rx$ 和 $xgmii_rxc$ 暂时没有用到。

图中 GTX0、GTX1、GTX2、GTX3 为相同的高速串行总线, 10 G 网络发送模块通过使用 XAUI 和 GTX 来减少与外部物理层芯片连接的信号线数量, 因为物理层芯片与 10 G 网络实现上层协议的芯片通常是分离的元器件, 如果两者之间连接的信号线太多使用起来会非常不方便。从图 6 可以看出, 如果协议封装模块和物理层芯片直接连接总共需要 144 根信号线, 而通过 XAUI 和 GTX 扩展后只有 16 根信号线。

图 7 为协议封装模块发送数据流程图。本设计中各层网络协议的头部全都固定不变(如 MAC 层源地址和目的地址, IP 层源地址和目的地址, UDP 协议源端口号和目的端口号, 这样做的好处是不用每次都为其计算 IP 校验, 节约逻辑资源。但是这种方式下有两个问题需要解决:

(1) 不同的数据接收设备 MAC 地址不同, 那么在 Polyphase DBBC 发出的网络包目的 MAC 地址已经固定的情况下, 如何更换不同的接收设备?

(2) UDP 校验和校验的内容包括 UDP 头部和 UDP 数据, 不同的 UDP 数据包数据部分是变化的, 那么 UDP 的校验和该如何固定不变?

在本设计中的解决方法是:

(1) 把发送模块的目的 MAC 地址设置为全 1 的广播地址, 这样任何与 Polyphase DBBC 相连的接收设备都可以接收其发出的网络包。

(2) UDP 校验和字段其实是可选的, 如果把其配置成全 0, 则接收设备运行标准的 UDP 接收程序时默认不计算接收的 UDP 校验和, 所以本设计把这个字段设置为全 0。

协议封装模块主要由一个发送状态机实现, 其发送数据流程如图 7。状态机有 IDLE、START_SEND、HEADER_SEND、DATA_SEND、FINISH 5 个状态。发送状态机首先进入 IDLE 工作状态, 此状态下不断发送帧间隙。IDLE 工作状态一旦判断到发送缓冲区中已有 177 个数据, 就把发送状态机切换到 START_SEND 状态, 在这个状态下 $xgmii_txd$ 发送以太网帧起始标志, $xgmii_txc$ 发送的控制信息为 0x01。此后发送状态机切换到 HEADER_SEND 状态, 在此状态下, $xgmii_txd$ 发送网络数据包包头中的前 40 个字节, $xgmii_txc$ 发送的控制信息为 0x00, 同时 64 位的 CRC 计算模块启动计算。发送完 40 个字节的包头后, 状态机切换到 DATA_SEND 状态, 在此状态下, $xgmii_txd$ 首先发送 2 字节的包头与前 6 个字节的原始数据拼成的 64 位数据, 接下来每次发送 8 字节的原始数据, $xgmii_txc$ 发送的控制信息一直为 0x0。DATA_SEND 状态下循环发送了 177 次以后状态机切换到 FINISH 状态, 在此状态下 $xgmii_txd$ 以太网帧结束标志以及 FCS 字段。 $xgmii_txc$ 发送 0xC0, 意思是 $xgmii_txd$ 中的后面 6 个字节是有效的, 之后状态机切换回 IDLE 状态。

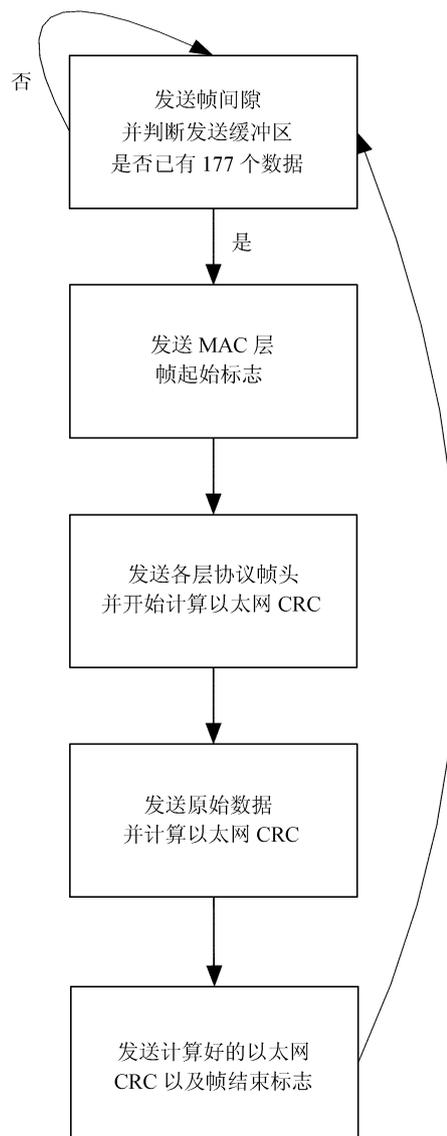


图 7 协议封装模块发送数据流程图

Fig. 7 The flowchart of the protocol encapsulation module

3.2 数据记录设备接收程序的设计

图 8 为接收端接收数据的流程图。接收端是基于 Linux 操作系统由 C 语言编写的应用程序。工作流程如下:

(1) 建立 UDP 套接字并初始化。

(2) 建立两个缓冲区 buffA 和 buffB, 这两个缓冲区此后用乒乓操作的方式交替缓存数据包, 缓冲区的大小都为 $1\ 416 \times 20\ 080$ 字节(DBBC 发送的数据包每包的有效原始数据为 1 416 字节, 实际上一个缓冲区存放 20 000 个数据包, 缓冲区开的稍大是为了防止出现意外而溢出)。

(3) 生成两个线程(th1 和 th2), th1 用来接收 UDP 数据包, th2 用来把缓冲区的数据写入磁盘存成文件, 两线程并行工作。

线程 th1 工作流程如下:

(1) 用建立的 UDP 套接字接收 UDP 数据包。

(2) 接收一个 UDP 数据包后根据 flg 标志判断把数据填入哪个缓冲区。判断方式为: 当 flg 为 0 时, 往缓冲区 buffA 中填入数据; 当 flg 为 1 时, 往缓冲区 buffB 中填入数据, flg 初始值为 0。当每个缓冲区中填入的数据达到 20 000 个 UDP 数据包时, 把这个缓冲区的满标志置为 1 (buffA 的满标志为 fullA, buffB 的满标志为 fullB)。

线程 th2 工作流程如下:

(1) 根据 buffA 和 buffB 的满标志判断是否有缓冲区已满, 如果有则进入步骤(2), 否则一直循环判断。

(2) 把已满的缓冲区中的数据写入磁盘, 存成一个单独的文件, 并把满标志置为 0, 返回步骤(1)。

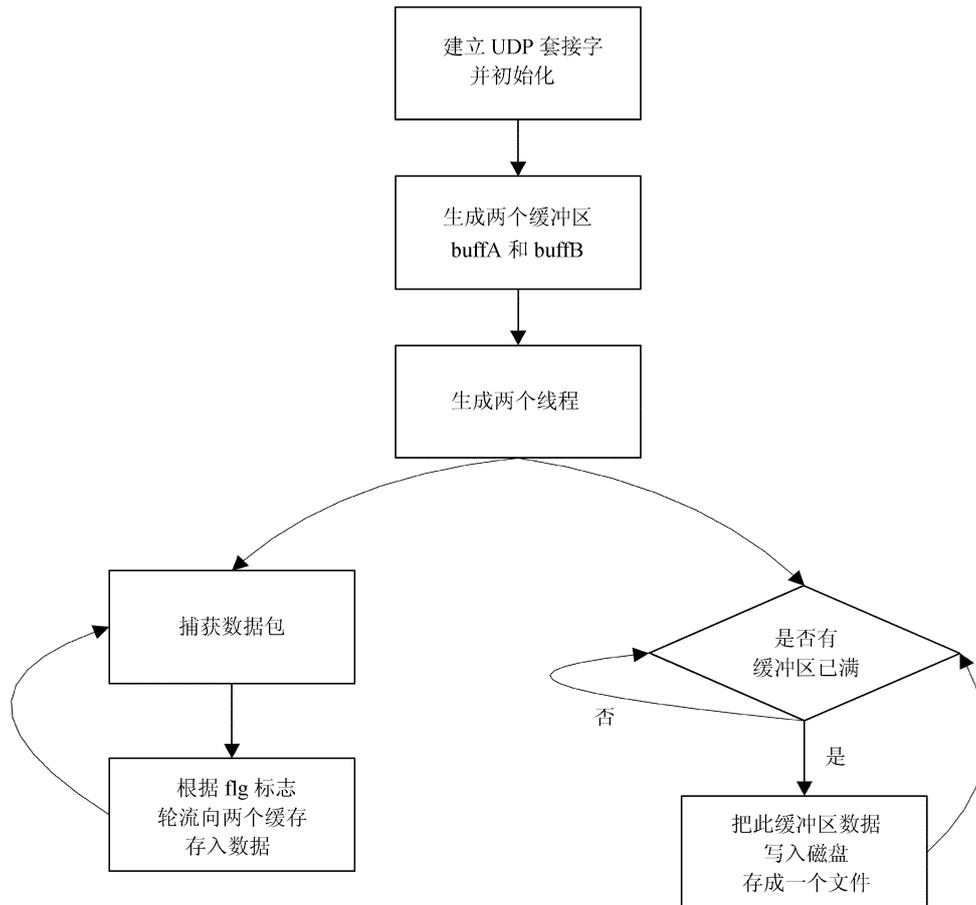


图 8 接收端接收数据的流程图

Fig. 8 The flowchart of the data-receiving program

4 结果测试及分析

本文共做了 3 组实验进行结果测试, 每组实验都做了 48 h 的长时间测试。实验中用一台噪声仪产生宽带射频白噪声信号, 然后通过模拟下变频器产生 512 MHz 带宽的中频信号, 中频信号通过功率分配器后一分为二分别输入两台 Polyphase DBBC 的中频信号输入端。第 1 组实验用一台高性能 10 G 服务器和一台 Mark5B 设备同时记录同一台 Polyphase DBBC 产生的数据, Polyphase DBBC 中的格式器和 Mark5B 设备中的格式器在记录前用时间服务器进行时间同步。第 2 组实验用一台高性能 10 G 服务器和一台 Mark5B 设备分别记录两台 Polyphase DBBC 产生的数据, Polyphase DBBC 中的格式器和 Mark5B 设备中的格式器在记录前用时间服务器进行时间同步。第 3 组实验用两台高性能 10 G 服务器分别记录两台 Polyphase DBBC 产生的数据, 两台 Polyphase DBBC 中的格式器在记录前用时间服务器进行时间同步。最后用 MATLAB 程序分别解算每组实验中两路数据的自相关结果和相应通道间的互相关结果, 解算自相关的 MATLAB 程序快速傅里叶变换长度为 4 096 点, 积分时间为 1 024 个快速傅里叶变换周期, 解算互相关的 MATLAB 程序快速傅里叶变换长度为 16 384 点, 积分时间为 1 024 个快速傅里叶变换周期。

图 9、10、11 分别为 3 组实验两路数据各自 16 个通道的自相关幅度谱, 由图可知除第一个通道外其余通道幅度较为平坦, 且两路数据对应通道幅度一致性较好。图 12、13、14 分别为 3 组实验两路数据第 8 个通道的互相关幅度和相位谱(上图为幅度谱, 下图为相位谱)。通过 48 h 长时间测试, 发现每组实验的互相关时延都稳定不变, 图中第 1 组实验几何时延为 39.265 6 μs , 残余时延约为 0 ns (这与两路数据来自同一台 Polyphase DBBC 相吻合)。第 2 组几何时延为 39.265 6 μs , 残余时延约为 9.6 ns, 第 3 组几何时延为 0.062 5 μs , 残余时延约为 -12.1 ns (后两组实验残余时延不为 0 与两路数据来自于不同的 Polyphase DBBC 相吻合)。

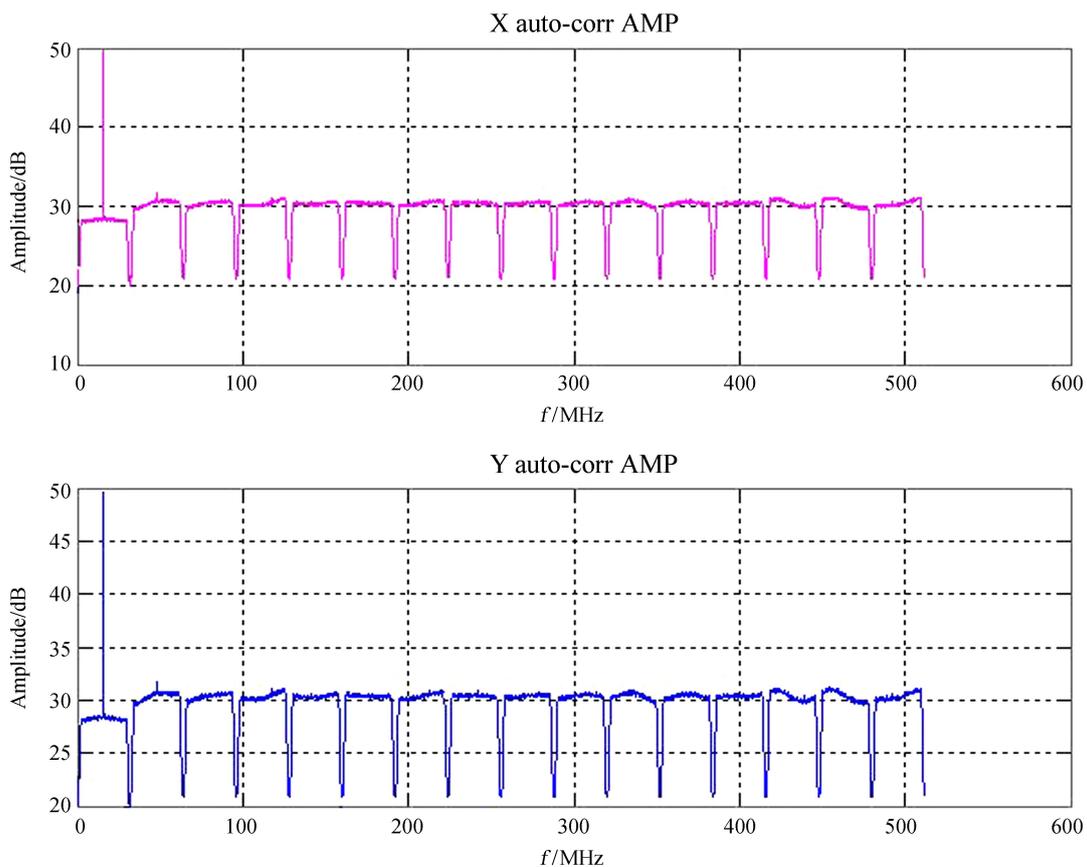


图 9 第 1 组实验自相关幅度谱

Fig. 9 The spectra of self-correlation amplitudes in the first set of experiments

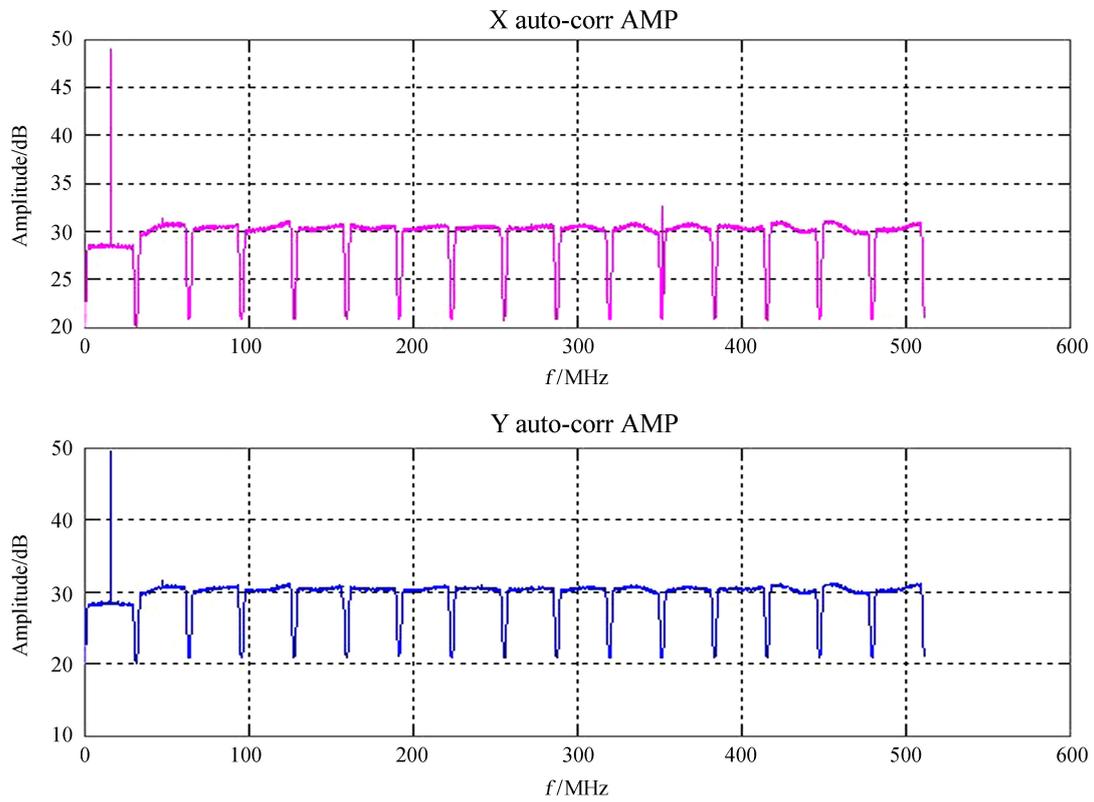


图 10 第 2 组实验自相关幅度谱

Fig. 10 The spectra of self-correlation amplitudes in the second set of experiments

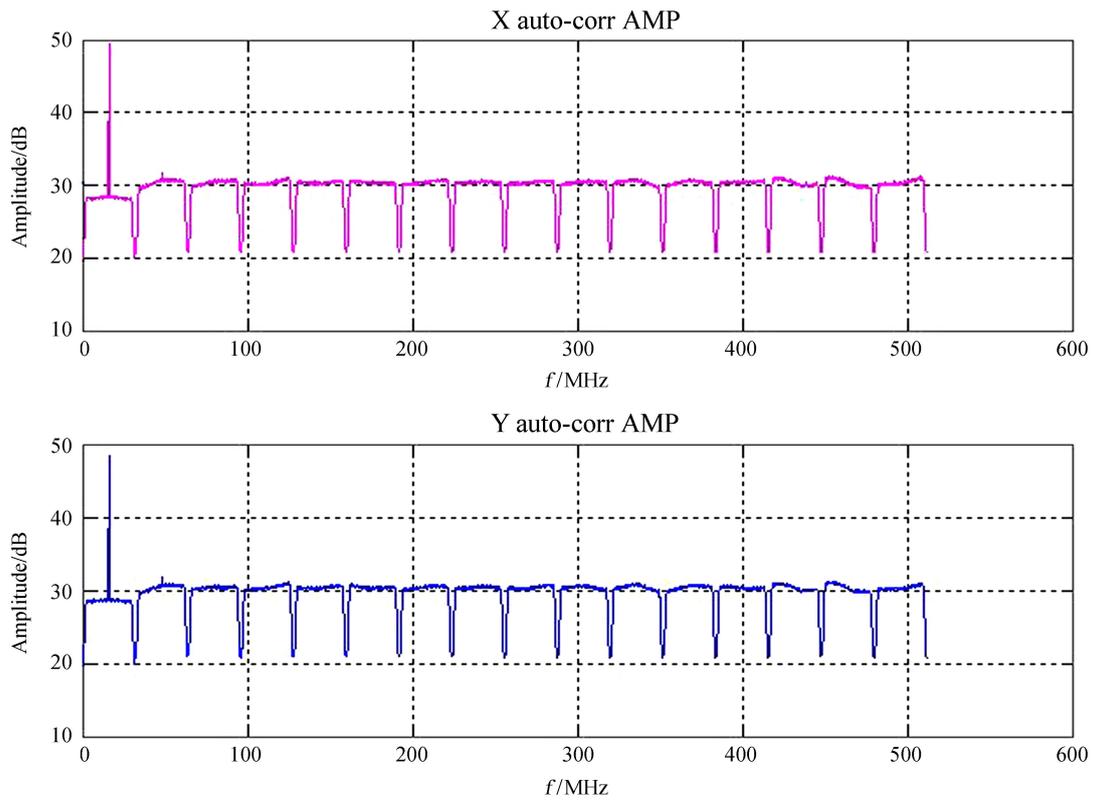


图 11 第 3 组实验自相关幅度谱

Fig. 11 The spectra of self-correlation amplitudes in the third set of experiments

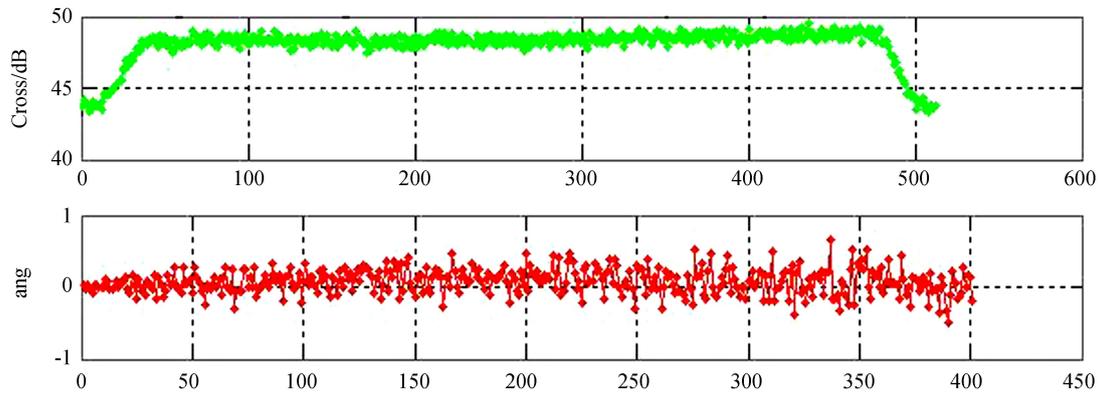


图 12 第 1 组实验互相关幅度和相位谱

Fig. 12 The spectra of cross-correlation amplitudes and correlation phases in the first set of experiments

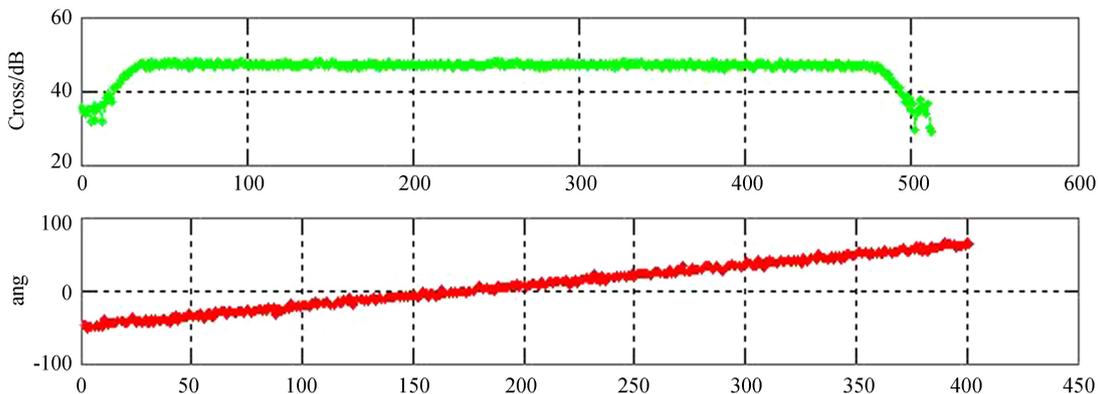


图 13 第 2 组实验互相关幅度和相位谱

Fig. 13 The spectra of cross-correlation amplitudes and correlation phases in the second set of experiments

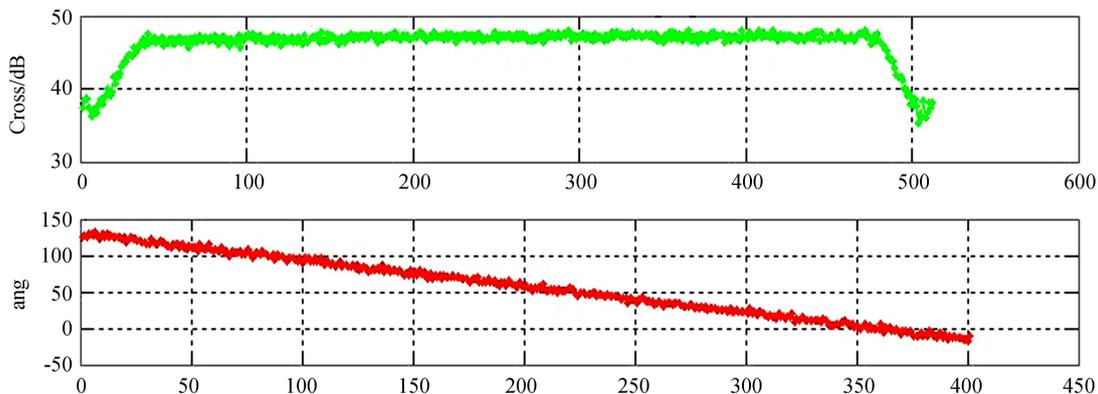


图 14 第 3 组实验互相关幅度和相位谱

Fig. 14 The spectra of cross-correlation amplitudes and correlation phases in the third set of experiments

通过以上实验可知, 本文设计的 Mark5B 格式器以及 10 G 网络传输系统工作正常, 性能稳定, 已经完全可以取代原有的 DBBC 通过 VSI 总线与 Mark5B 相连的老系统。本系统数据接收端只需要通用的具有 10 G 网口的服务器即可, 也可以是 Mark5C 或者 Mark5B, 应用非常灵活, 且由于使用了 10 G 网络, 数据传送速率有很大的提升空间。后续所要做的工作主要有: (1) 开发 VDIF 格式器, 通过外部参数控制 DBBC 数据格式在 VDIF 与 Mark5B 之间切换; (2) 优化接收端接收程序, 提高接收速率。

参考文献:

- [1] 项英. VLBI 数据采集终端中数字基带转换器的研究和设计 [D]. 上海: 中国科学院研究生院(上海天文台), 2005: 28-29.
- [2] 朱人杰, 张秀忠, 韦文仁, 等. 我国新一代 VLBI 数字基带转换器研制进展 [J]. 天文学进展, 2011, 29(2): 207-217.
Zhu Renjie, Zhang Xiuzhong, Wei Wenren, et al. The progress of modern Chinese Data Acquisition System [J]. Progress in Astronomy, 2011, 29(2): 207-217.
- [3] Navarro R, Wang D, Soriano M, et al. Digital backend for JPL deep space communications complex VLBI processor [Z]. American: California Institute of Technology, 2010.
- [4] Tuccari G, Alef W, Bertarini A, et al. DBBC Development Status [C] // Progress in Technology Development and the Next Generation VLBI System: The 5th IVS General Meeting Proceedings. 2008: 376-380.
- [5] Whitney A R, Cappallo R J. Mark 5B design specifications [EB/OL]. (2004-11-24). www.haystack.mit.edu/tech/vlbi/mark5/mark5_memos/019.
- [6] Aldrich W. Data input module Mark 5B I/O board theory of operation [EB/OL]. (2006-02-03). www.haystack.mit.edu/tech/vlbi/mark5/mark5_memos/032.
- [7] LogiCORE IP XAUI v9.2 User Guide [M/OL]. (2006-04-19). www.xilinx.com/support/documentation/ip_documentation/xaui_ug150.pdf.

A Mark5B Formatter and a 10G Network Transmission System Applied to VLBI

Yu Wei¹, Zhang Xiuzhong¹, Zhu Renjie^{1,3}, Chen Lan², Wu Yajun^{1,3}, Guo Shaoguang¹

(1. Shanghai Astronomical Observatory, Chinese Academy of Sciences, Shanghai 200030, China, Email: yuwei001@mail.ustc.edu.cn;

2. Shanghai Institute of Technology, Shanghai 200235, China; 3. Key Laboratory of Radio Astronomy,

Chinese Academy of Sciences, Nanjing 210008, China)

Abstract: Radio signals from distant radio sources are extremely weak and have very low signal-to-noise ratios when observed with current radio telescopes. In order for VLBI data to reach high measurement accuracies, large measurement bandwidths and sampling bits need to be adopted, resulting in huge amounts of observation data produced by the VLBI terminals (such as Digital Base-Band Converters). Traditional data transmission systems of VLBI terminals use VSI interfaces, which cannot meet the requirements of broadband VLBI observation. The limitation of VSI interfaces is due to two factors: First, their data transmission speeds do not exceed 2Gbps, and second, their data-recording equipments are conformed to the rather rigid Mark5B format. We have designed a 10G network system for a new Digital Base-Band Converter (which is developed by the Shanghai Astronomical Observatory based on polyphase-filter banks and the FFT) to enhance its flexibility and transmission speed. The data-transmission method of this system is the packet switching, so a data arrival time at the data receiver is not accurate and reliable. This requires that data must be of a standard VLBI format before being processed by the 10G system. To achieve this we have also designed a Mark5B data formatter to convert data before being sent to the 10G system. This paper describes the principles of the Mark5B formatter and the 10G network system, which are both based on FPGA. The final part of the paper describes three sets of experiments verifying the accurateness and stableness of our designs.

Key words: Polyphase-filter banks; Digital Base-Band Converter; 10G network interface; Mark5B formatter